

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年12月 4日

出願番号

Application Number:

特願2002-352573

[ST.10/C]:

[JP2002-352573]

出願人

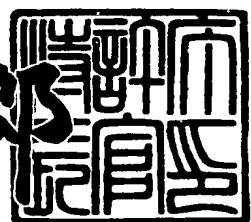
Applicant(s):

三菱電機株式会社

2003年 1月14日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一



出証番号 出証特2002-3104099

【書類名】 特許願
【整理番号】 539801JP01
【提出日】 平成14年12月 4日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 23/00
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 國井 徹郎
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 服部 亮
【発明者】
【住所又は居所】 兵庫県川西市久代3丁目13番21号 株式会社ケーディーエル内
【氏名】 川田 浩司
【特許出願人】
【識別番号】 000006013
【住所又は居所】 東京都千代田区丸の内二丁目2番3号
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100062144
【弁理士】
【氏名又は名称】 青山 葵
【選任した代理人】
【識別番号】 100086405
【弁理士】
【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 第1及び第2の主電極と制御電極とを有する半導体素子が複数設けられた半導体装置であって、

前記第1及び第2の主電極及び前記制御電極が一の主面上に形成された半導体基板と、

前記第1の主電極及び前記制御電極を前記第2の主電極と絶縁するように、第1の主電極及び制御電極上に形成された、低誘電率高分子材料からなる膜と、

該膜及び前記第2の主電極上に形成され、接地電位に接続されたチップ表面電極とを有し、

前記第2の主電極は前記チップ表面電極を介して接地電位が与えられることを特徴とする半導体装置。

【請求項2】 前記半導体基板の各電極が設けられた主面と反対側の主面上に、第1の電極に接続する第1のパッド及び第2の電極に接続する第2のパッドが設けられたことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記半導体基板がSiCまたはサファイアで形成されたことを特徴とする請求項1または2記載の半導体装置。

【請求項4】 第1及び第2の主電極と制御電極とを有する半導体素子が複数設けられた半導体装置であって、

前記第1及び第2の主電極及び前記制御電極が一の主面上に形成された半導体基板と、

前記第1及び第2の主電極及び前記制御電極上に形成された、低誘電率高分子材料からなる保護膜と

を有することを特徴とする半導体装置。

【請求項5】 第1及び第2の主電極と制御電極とを有する半導体素子が複数設けられた半導体装置であって、

前記第1及び第2の主電極及び前記制御電極が一の主面上に形成された半導体基板と、

前記半導体基板の前記一の主面と反対側の主面に設けられ、接地された金属層と、

前記第1及び第2の主電極及び前記制御電極上に形成された、低誘電率高分子材料からなる膜と、

該低誘電率高分子材料からなる膜上に形成された、前記接地された金属層と同じ材料からなる表面層と

を有することを特徴とする半導体装置。

【請求項6】 前記表面層を、前記接地された金属層と電気的に接続したことを特徴とする請求項5記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は複数の電極を有するトランジスタが形成された半導体装置に関する。

【0002】

【従来の技術】

図14は電界効果トランジスタ(FET)が複数形成された従来の半導体チップの平面図であり、半導体チップ上に形成されたFETの電極配置を示した図である。図15はその半導体チップを横側から見た断面図である。

【0003】

図14に示すように、半導体基板1上において、FETのゲート電極5、ドレイン電極6、ソース電極7が複数並べて配置されている。ゲート電極5、ドレイン電極6、ソース電極7はそれぞれゲートパッド2、ドレンパッド3、ソースパッド4に接続されている。ゲートパッド2とソースパッド4とは同図に示すように交互に配置されている。ソースパッド4にバイアホール9が設けられている。

【0004】

図15に示すように、バイアホール9はソースパッド4下側の半導体基板1中に設けられている。バイアホール9は、接地された裏面のヒートシンク10と接続されており、これによりソース電極7はソースパッド4、バイアホール9を介し

て接地されることになる。

【0005】

そのような半導体チップはパッケージの基板にAuSnハンダ等でダイボンドされる。ゲートパッド2及びドレインパッド3はワイヤボンドによりプリント基板等を介してパッケージのリード部と接続され、これにより、DC信号線路、RF信号線路が形成される。

【0006】

【発明が解決しようとする課題】

以上のような従来の半導体チップでは、ソース電極4の接地を裏面ヒートシンク10を用いて行なうため、図15に示すように半導体基板1内にソース電極とヒートシンク10とを電気的に接続するためのバイアホール9が設ける必要があり、半導体チップの構造及び製造工程が複雑となっていた。

【0007】

また、半導体チップ上面にバイアホール9形成のためのソースパッド4を設ける必要があるため、ゲートパッド2とソースパッド4が交互に並んだ構造になり、ゲートパッド2毎にワイヤボンドする必要があり、アセンブリ工程の複雑さ、ワイヤボンド長のばらつきによる特性の劣化を招いていた。

【0008】

また、図14に示すように、FET動作領域8のソース電極を10～20個まとめて1つのバイアホール9で接地するため、10GHzを超える高周波帯域ではソースインダクタンス(Ls)の増大に伴う利得低下を招いていた。

【0009】

さらに、図16に示すように、素子の組み立て時に半導体チップをAuSnハンダ等でパッケージの基板にダイボンドする際に、半導体基板1と裏面ヒートシンク10の熱膨張率の違いにより反りが発生し、半導体チップ両端でのハンダの厚さが増し、素子の熱抵抗値が増加するという問題があった。

【0010】

本発明は上記問題を解決するためになされたものであり、その目的とするところは、半導体装置の構造を簡単化し、製造工程の容易化を実現する半導体装置を

提供することにある。本発明はまた、半導体チップのダイボンド時の反りの発生を抑制する半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】

本発明に係る第1の半導体装置は、第1及び第2の主電極と制御電極とを有する半導体素子が複数設けられた半導体装置である。半導体装置は、第1及び第2の主電極及び制御電極が一の主面上に形成された半導体基板と、第1の主電極及び制御電極を第2の主電極と絶縁するように、第1の主電極及び制御電極上に形成された、低誘電率高分子材料からなる膜と、その膜及び第2の主電極上に形成され、接地電位に接続されたチップ表面電極とを有する。第2の主電極はチップ表面電極を介して接地電位が与えられる。

【0012】

第1の半導体装置において、半導体基板の各電極が設けられた主面と反対側の主面上に、第1の電極に接続する第1のパッド及び第2の電極に接続する第2のパッドが設けられてもよい。

【0013】

また、第1の半導体装置において、半導体基板はSiCまたはサファイアで形成されてもよい。

【0014】

本発明に係る第2の半導体装置は、第1及び第2の主電極と制御電極とを有する半導体素子が複数設けられた半導体装置であって、第1及び第2の主電極及び制御電極が一の主面上に形成された半導体基板と、第1及び第2の主電極及び制御電極上に形成された、低誘電率高分子材料からなる保護膜とを有する。

【0015】

本発明に係る第3の半導体装置は、第1及び第2の主電極と制御電極とを有する半導体素子が複数設けられた半導体装置であって、第1及び第2の主電極及び制御電極が一の主面上に形成された半導体基板と、半導体基板の一の主面と反対側の主面に設けられ接地された金属層と、第1及び第2の主電極及び制御電極上に形成された低誘電率高分子材料からなる膜と、その低誘電率高分子材料からな

る膜上に形成され且つ接地された金属層と同じ材料からなる表面層とを有する。

【0016】

第3の半導体装置において、表面層を接地された金属層と電気的に接続してもよい。

【0017】

【発明の実施の形態】

以下、添付の図面を参照して、本発明に係る半導体装置の実施の形態を詳細に説明する。

【0018】

実施の形態1.

本発明の半導体装置には複数の電界効果トランジスタ(FET)が形成されている。図1(a)に本発明の半導体装置の横側から見たときの構造を示す断面図を示す。図1(b)に、半導体装置の断面の一部を拡大して示す。図2は、本発明の半導体装置の上側から見たときの構造を示す図である。

【0019】

図1、2に示すように、半導体基板1上にFETの制御電極であるゲート電極5、FETの主電極であるドレイン電極6及びソース電極7が複数並べて配置されている。ドレイン電極6とソース電極7は交互に配置され、それらの電極6、7間にゲート電極5が配置されている。なお、図1(a)においては、視認性の点からゲート電極5の表示は省略しているが(図8、図11等において同じ)、図1(b)に電極配置の理解の容易化のために半導体装置の断面の一部を拡大して示している。

【0020】

半導体基板1の下面にはヒートシンク10が設けられ、上面にはチップ表面接地電極12が設けられている。ヒートシンク10及びチップ表面接地電極12とともにAuメッキにより形成される。ヒートシンク10は接地されており、チップ表面接地電極12はこのヒートシンク10を介して接地される。チップ表面接地電極12は支柱部13によりソース電極7と電気的に接続される。これにより、ソース電極7はチップ表面接地電極12を介してヒートシンク10と接続され、

接地されることになる。

【0021】

図1(b)に拡大して示すように、ゲート電極5はドレイン電極6とソース電極7の間に配置されている。隣あうソース電極7間には、ゲート電極5とドレイン電極6を覆うように低誘電率高分子材料からなる膜（以下「低誘電率高分子膜」という。）11が形成されている。ここで、低誘電率高分子材料は、比誘電率が4以下（より好ましくは、3以下）の高分子材料であり、例えば、BCB（ベンゾシクロブテン）や、ポリイミド系の材料を含む。この低誘電率高分子膜11により、チップ表面接地電極12が、ゲート電極5及びドレイン電極6と絶縁され、ソース電極7に対してのみ電気的に接続されるようになる。

【0022】

以上のように、ソース電極7をヒートシンク10に接続されたチップ表面接地電極12を介して接地するため、従来のように半導体基板1中にバイアホールを設ける必要がなくなる。バイアホールを設ける必要がないため、半導体チップ構造を簡略化でき、チップの形成工程が容易となる。また、半導体基板1上すなわちチップ表面にソースパッドを設ける必要もなくなる。

【0023】

図2に示すように、半導体基板1上には、ゲート電極5に接続されるゲートパッド2及びドレイン電極6に接続されるドレインパッド3が設けられている。図14に示した従来例では、ゲートパッド2は、ソースパッド4を間に挟んで複数設けられていた。しかし、本実施形態によれば、ソースパッド4をチップ表面上に設ける必要がなくなったことから、図2に示すよう、横長の1つのゲートパッド2を設けることが可能となり、ゲートパッドの形状を簡単化できる。

【0024】

また、従来は、複数のゲートパッドのそれぞれにワイヤボンドする必要があったが、本実施形態では、ゲートパッドが1つであるため、その必要がなくなり、1つのゲートパッドをタグテープ等を用いて整合用基板と簡便に接続することが可能となる。これにより、製造工程の簡略化、ワイヤボンド長のばらつきによる特性劣化を抑制できる。また、トランジスタの動作領域8のソース電極7をチッ

チップ表面接地電極12に直接に接続して、接地することができるため、従来のバイアホールを介した接地の場合に比して、ソースインダクタンスを低減できる。これにより、特に100GHzを超えるような高周波帯域での高い利得を実現できる。

【0025】

なお、半導体基板1の材料にはSiCまたはサファイアを用いるのが好ましい。これにより高出力用半導体装置を容易に製造することができる。これらの材料はGaN系デバイスを形成するときに用いられる材料であるが、非常に堅い材料であるため、エッティングにより半導体基板内にバイアホールを形成する必要がある従来の半導体装置に適用するのは困難であった。しかし、本発明の図1、2に示す半導体装置の構造によれば、バイアホールが不要となるため、半導体基板の材料としてSiCまたはサファイアを用いることが可能となる。

【0026】

実施の形態2.

図3～図6を用いて本発明に係る半導体装置の別の実施形態を説明する。図3は本実施形態の半導体装置を上から見たときのパターンを示す。図4は下側から見たときのパターンを示す。図5は、図3においてA-A'線に沿ってカットしたときの半導体装置の断面図である。図6は、図3においてB-B'線に沿ってカットしたときの半導体装置の断面図である。

【0027】

本実施形態では、実施の形態1の場合と同様、図5に示すように、半導体基板1上に設けたソース電極7を、チップ表面接地電極12と支柱部13を介して接続している。これにより、実施の形態1と同様の効果が得られる。

【0028】

また、図3に示すように、半導体基板1の上部にゲートパッド2、ドレインパッド3が設けられているが、ゲートパッド2、ドレインパッド3は半導体基板1の上面のみならず、図4、図6に示すように、半導体基板1の上面から側面に沿って下面側の一部まで回り込むよう拡張して形成されている。

【0029】

図4はまた、半導体基板1の一方の主面側に設けられたゲート電極5、ドレン電極6及びソース電極7を示している。同図のように、本実施形態では、各電極5、6、7は、ゲートパッド2、ドレインパッド3が主に設けられている半導体基板1の上面（図6において半導体基板1の上側の主面）と反対側の面（図6において半導体基板1の下側の主面）上に設けられている。

【0030】

このように、ゲートパッド2、ドレインパッド3を、各電極5～7が設けられた動作領域8のある主面と別の主面に設けることにより、ゲートパッド2、ドレインパッド3の必要な面積を十分に確保しつつ、半導体基板1の主面全体の面積を小さくでき、チップ面積を小さくできる。すなわち、動作領域8と各パッド2、3を半導体基板1の同じ主面上に設けた場合は、半導体基板1の面積は少なくとも、動作領域8の面積と、各パッド2、3の面積とを加えた面積以上に大きくする必要があるが、これに対し、本実施形態では、動作領域8と各パッド2、3を別の主面に設けることにより、その面積を小さくできる。

【0031】

本実施形態の半導体装置において、動作領域8を下側にしてチップ表面接地電極12を介して放熱させるようにする。これにより、半導体基板1を薄板化する必要がなく、半導体基板1の裏面形成工程をさらに容易にすることができる。

【0032】

なお、本実施形態においても、半導体基板の材料としてSiCまたはサファイアを用いててもよい。

【0033】

実施の形態3.

本実施形態では、ダイボンド時のそりを防止する半導体装置を図7、図8を用いて説明する。図7は本実施形態の半導体装置のパターンを示す図である。図8は横側から見た半導体装置の断面図である。図8に示すように、本実施形態では、半導体基板1上の各電極5、6、7が設けられた主面上に低誘電率高分子材料による保護膜11aを形成している。

【0034】

このように、低誘電率高分子材料による保護膜11aが形成されることにより、ダイボンド時に、図9に示すようにチップハンドリング用コレット16等によりチップ上面を押圧することが可能となり、ダイボンド時のそりを低減できる。そりの低減によりチップ裏面のヒートシンク10とパッケージ15間のAuSnハンダの厚さが薄く均一に形成され、素子の熱抵抗値を低減できる。

【0035】

実施の形態4.

図10、図11を用いてダイボンド時のそりを防止する半導体装置の別の構成を説明する。図10は本実施形態の半導体装置の上から見たパターン図であり、図11は半導体装置の横から見た断面図である。

【0036】

本実施形態の半導体装置では、図11に示すように、ゲート電極5とドレイン電極6を覆うように低誘電率高分子膜11が形成され、さらに、その低誘電率高分子膜11及びソース電極7の上面にAuメッキによる金属層であるチップ表面メッキ層12aが形成されている。また、半導体基板1の下面にはAuメッキによる金属層であるヒートシンク10が形成されている。

【0037】

以上のように、本実施形態の半導体装置では、半導体基板1の上面においてチップ表面メッキ層12aが形成され、その下面において同じAuメッキにより形成されたヒートシンク10が形成されており、半導体基板1が2つのAuメッキ層により挟まれた構造となっている。これにより、ダイボンド時に、熱膨張率の違いによる応力が緩和されるため、そりを低減することができる。なお、Auメッキ層は他の金属材料でもよい。

【0038】

実施の形態5.

図12、図13を用いてダイボンド時のそりを防止する半導体装置のさらに別の構成を説明する。図12は本実施形態の半導体装置の上から見たパターン図であり、図13は半導体装置の横から見た断面図である。

【0039】

図13に示すように、本実施形態の半導体装置は、半導体基板1の上面においてAuメッキによるチップ表面メッキ層12bが設けられ、半導体基板1の下面にAuメッキによるヒートシンク10が設けられている。さらに、チップ表面メッキ層12bは半導体基板1の側壁まで延在し、下面のヒートシンク10と接続するように形成されている。これによりヒートシンク10とチップ表面メッキ層12bの電気的な接続が得られるため、実施の形態6の半導体装置の効果に加えて、さらに、ソースインダクタンスの低減及び熱抵抗の低減が可能となる。

【0040】

【発明の効果】

本発明によれば、従来のように半導体基板中にバイアホールを設ける必要がなくなるため、半導体チップ構造を簡略化でき、チップの形成工程が容易となる。また、本発明によれば、半導体装置のダイボンド時のそりを低減できるため、チップ裏面のヒートシンクとパッケージ間のAuSnハンダの厚さが薄く均一に形成され、素子の熱抵抗値を低減できる。

【図面の簡単な説明】

【図1】 (a) 本発明の実施の形態1の半導体装置の横側から見たときの構造を示す断面図、(b) 実施の形態1の半導体装置の断面の一部を拡大して示した図

【図2】 本発明の実施の形態1の半導体装置の上側から見たときの構造を示す図

【図3】 本実施形態の実施の形態2の半導体装置を上から見たパターン図

【図4】 実施の形態2の半導体装置の下側から見たパターン図

【図5】 図3においてA-A'線に沿ってカットしたときの半導体装置の断面図

【図6】 図3においてB-B'線に沿ってカットしたときの半導体装置の断面図

【図7】 本発明の実施形態3の半導体装置のパターンを示す図

【図8】 実施形態3の半導体装置の横側から見た断面図

【図9】 チップハンドリング用コレット16を用いて半導体チップ上面を

押圧している様子を説明した図

【図10】 本発明の実施形態4の半導体装置の上から見たパターン図

【図11】 本発明の実施形態4の半導体装置の横から見た断面図

【図12】 本発明の実施形態5の半導体装置の上から見たパターン図

【図13】 本発明の実施形態5の半導体装置の横から見た断面図

【図14】 ワンジスタ等の電子デバイスが形成された従来の半導体装置
(チップ) の平面図

【図15】 従来の半導体装置(チップ) を横側から見た断面図

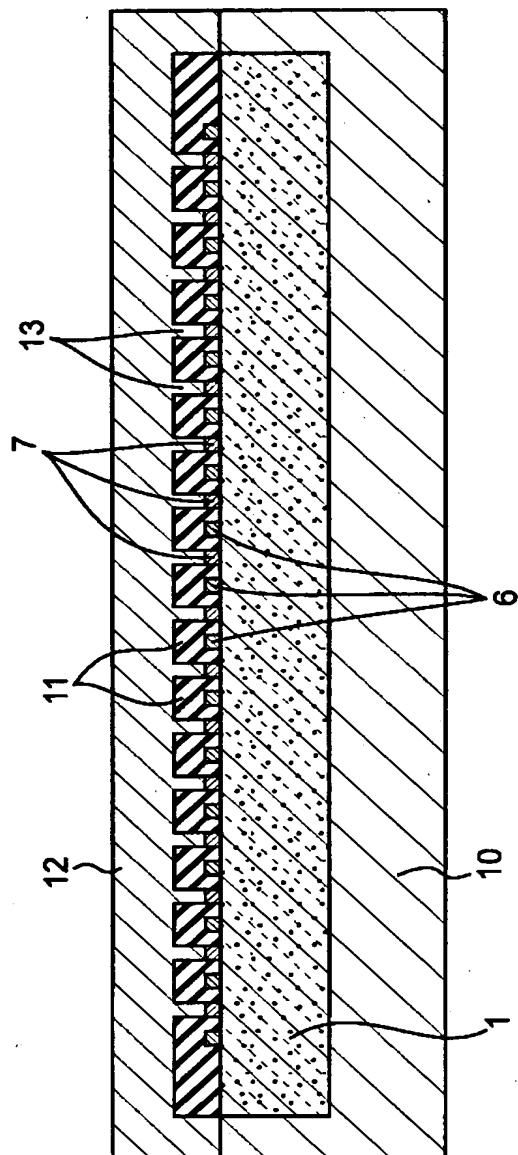
【図16】 従来の半導体装置(チップ) のダイボンド時のそりの発生を説
明した図

【符号の説明】

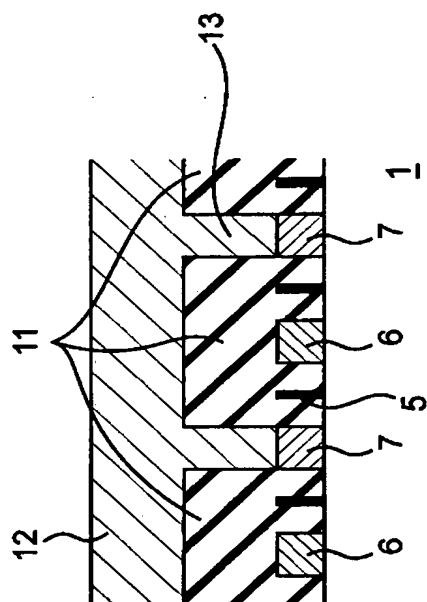
1 半導体基板、 2 ゲートパッド、 3 ドレインパッド、 4 ソース
パッド、 5 ゲート電極、 6 ドレイン電極、 7 ソース電極、 8 動
作領域、 10 ヒートシンク、 11 低誘電率高分子膜、 11a 低誘電
率高分子材料による保護膜、 12 チップ表面接地電極、 12a Auメッ
キ層、 12b チップ表面メッキ層、 13 チップ表面接地電極の支柱部。

【書類名】 図面

【図1】

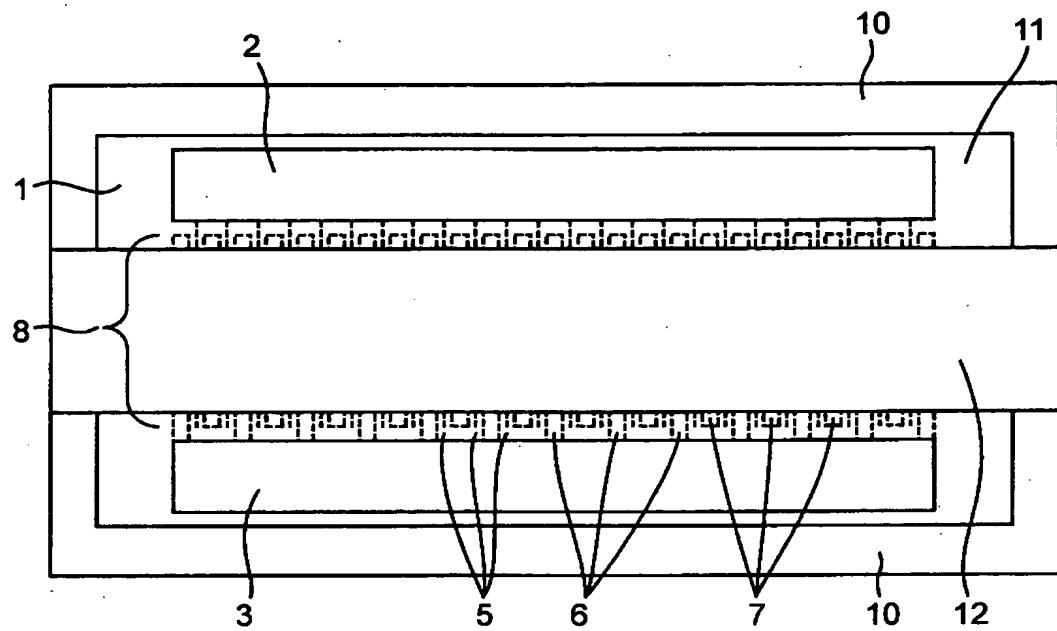


(a)

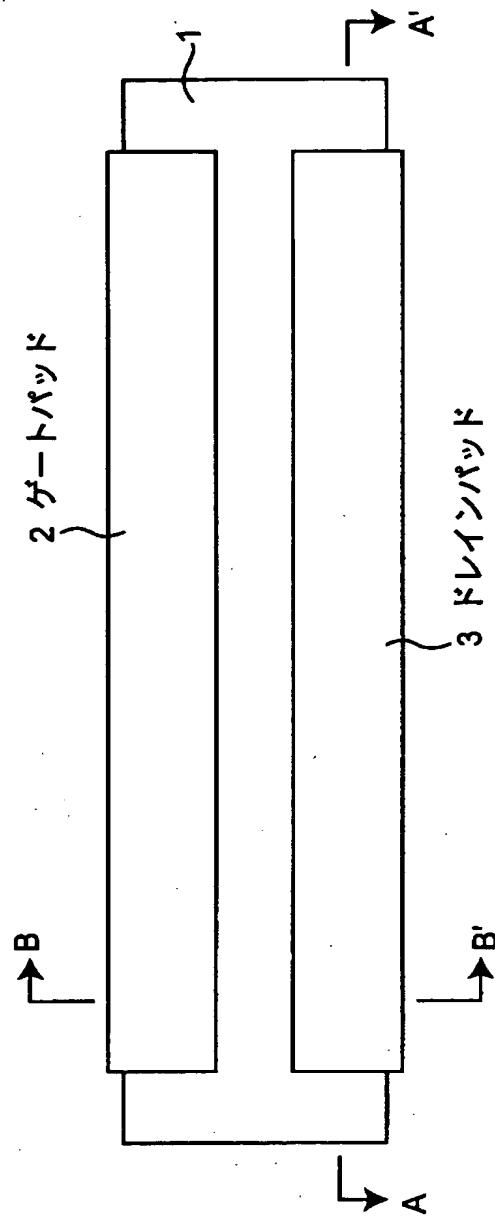


(b)

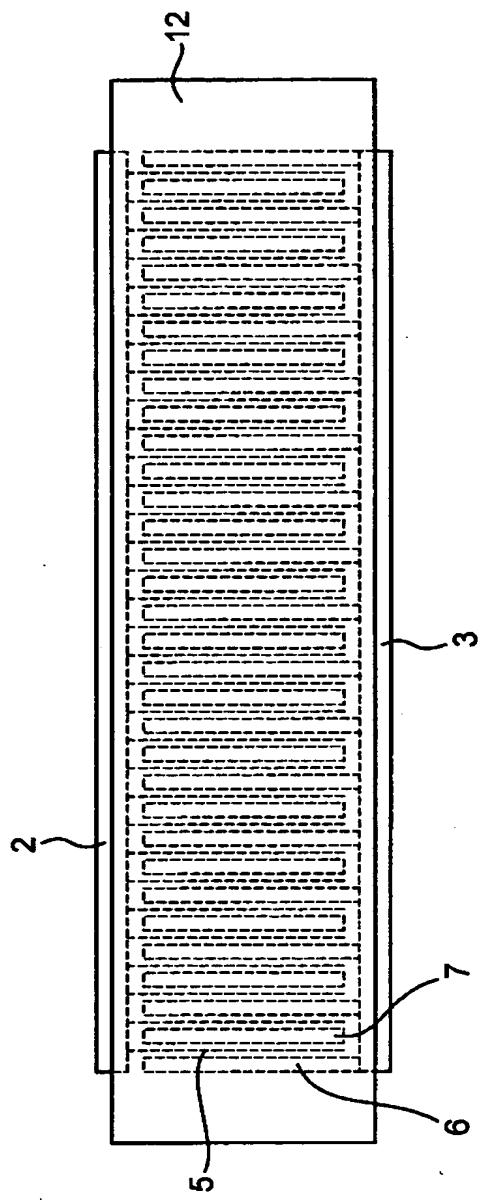
【図2】



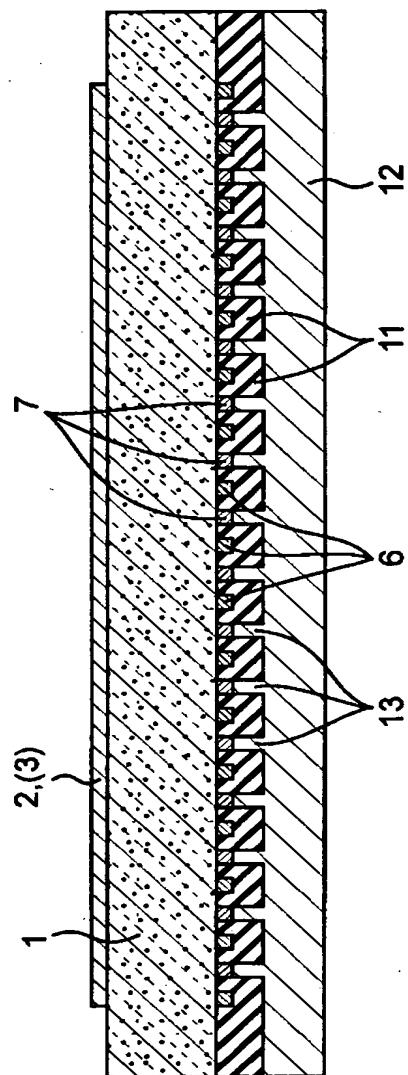
【図3】



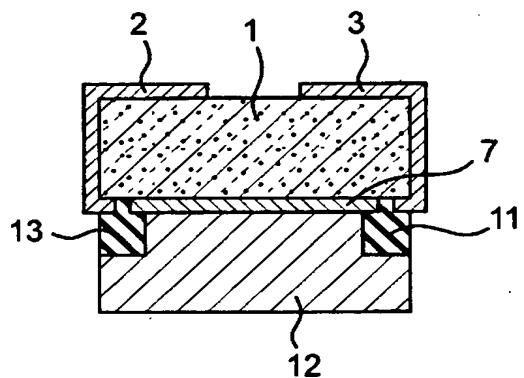
【図4】



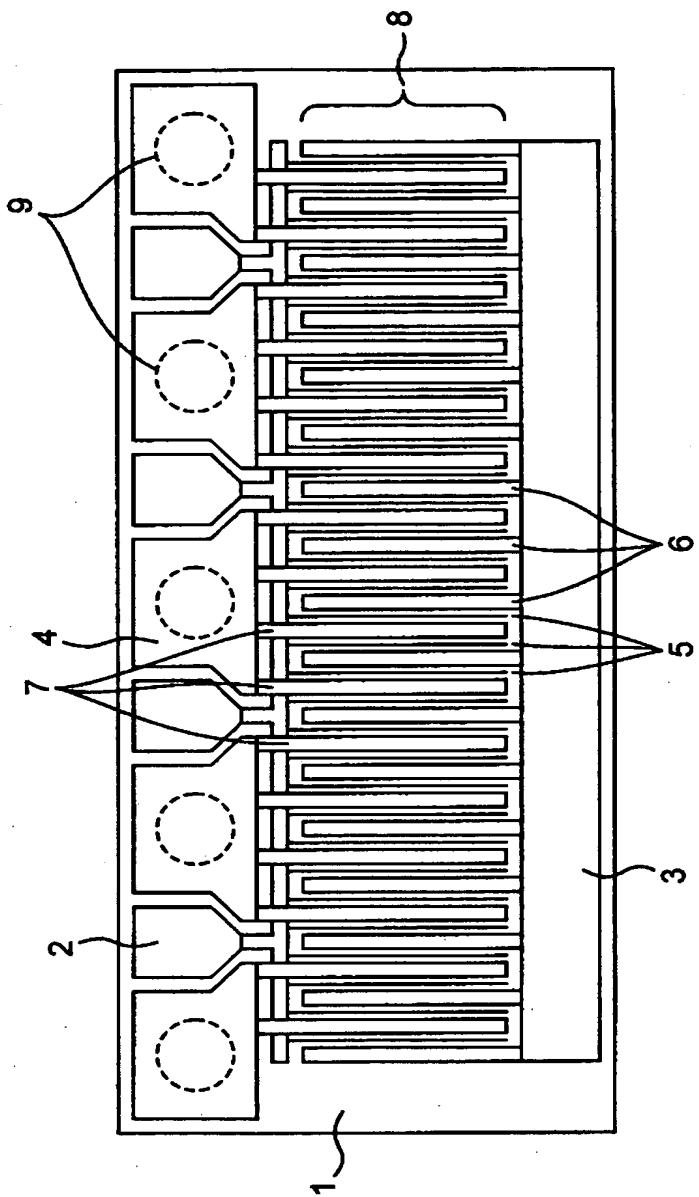
【図5】



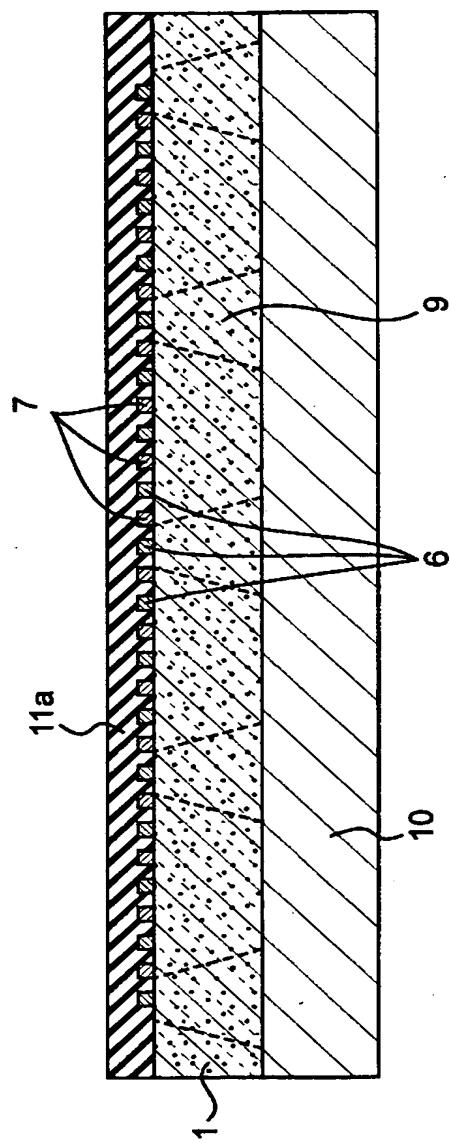
【図6】



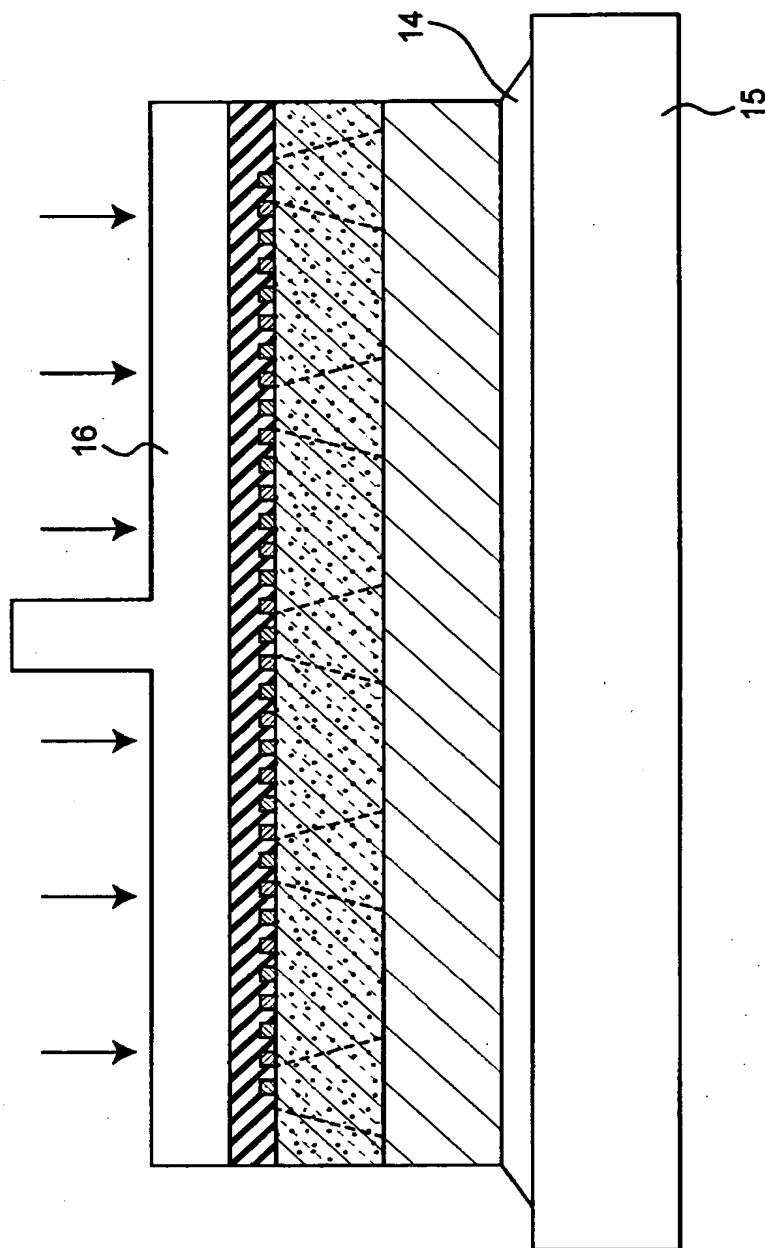
【図7】



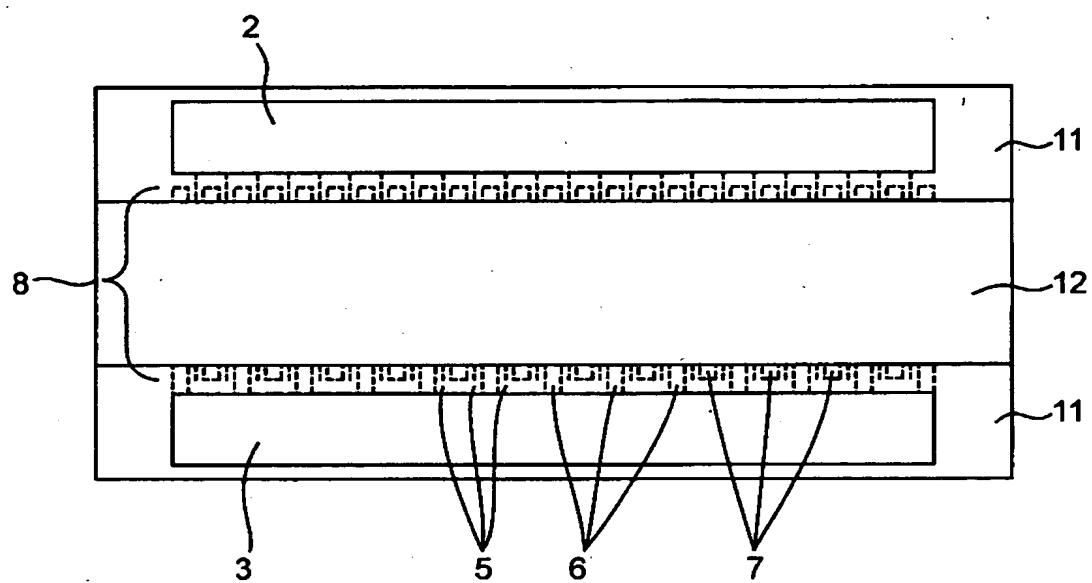
【図8】



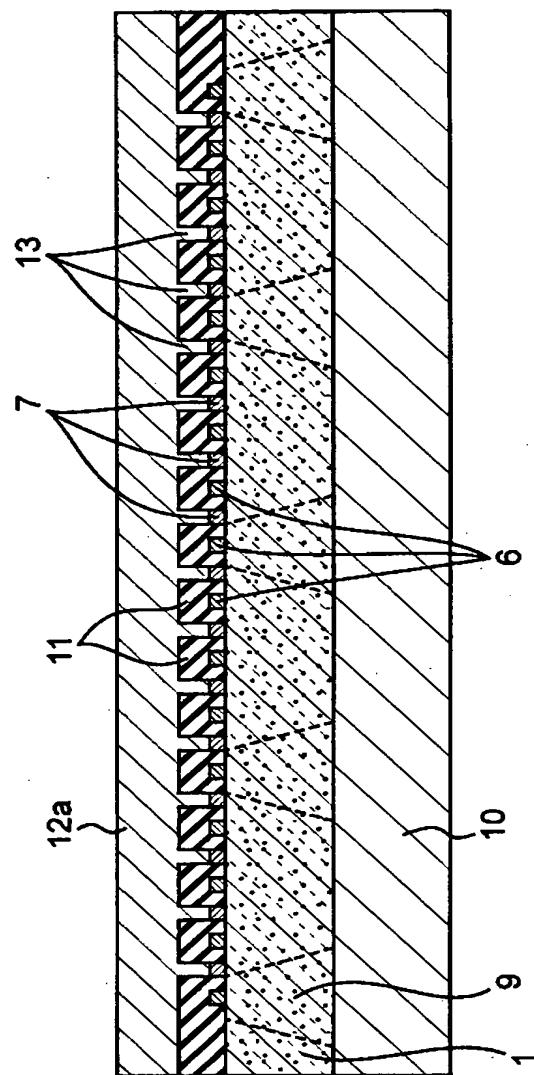
【図9】



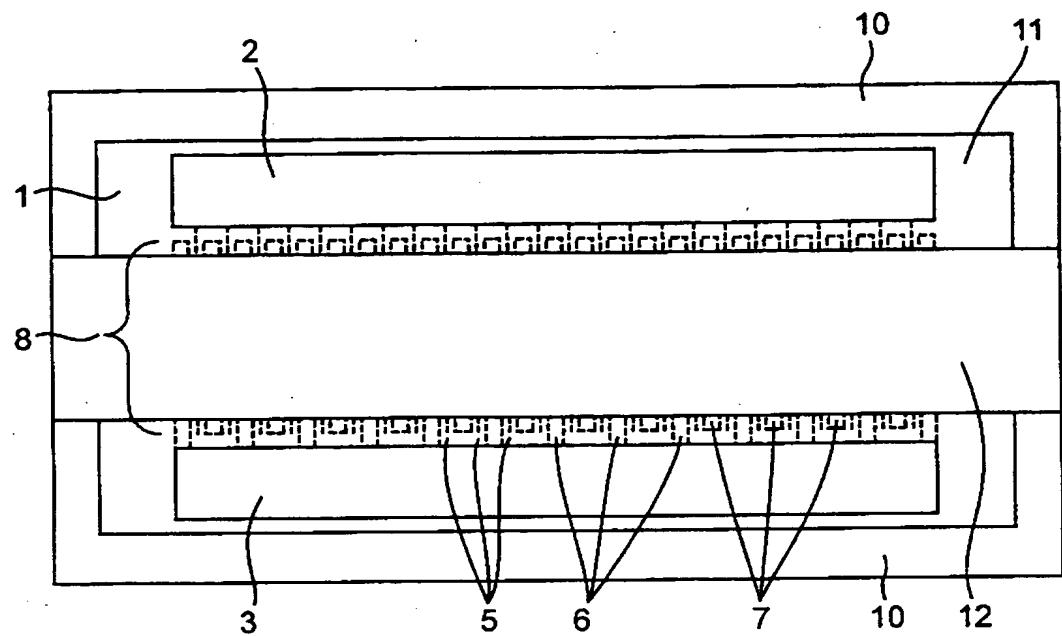
【図10】



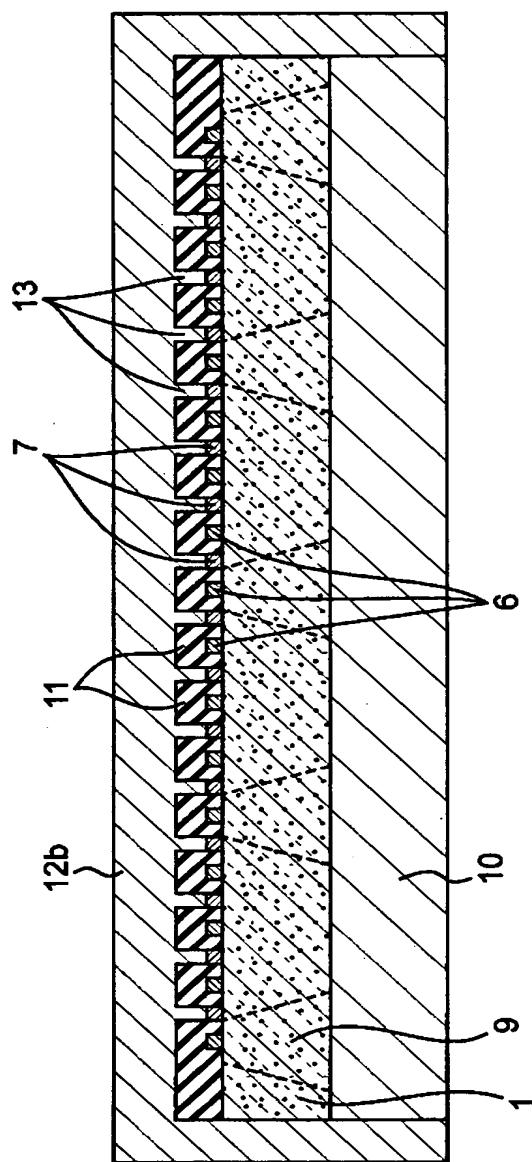
【図11】



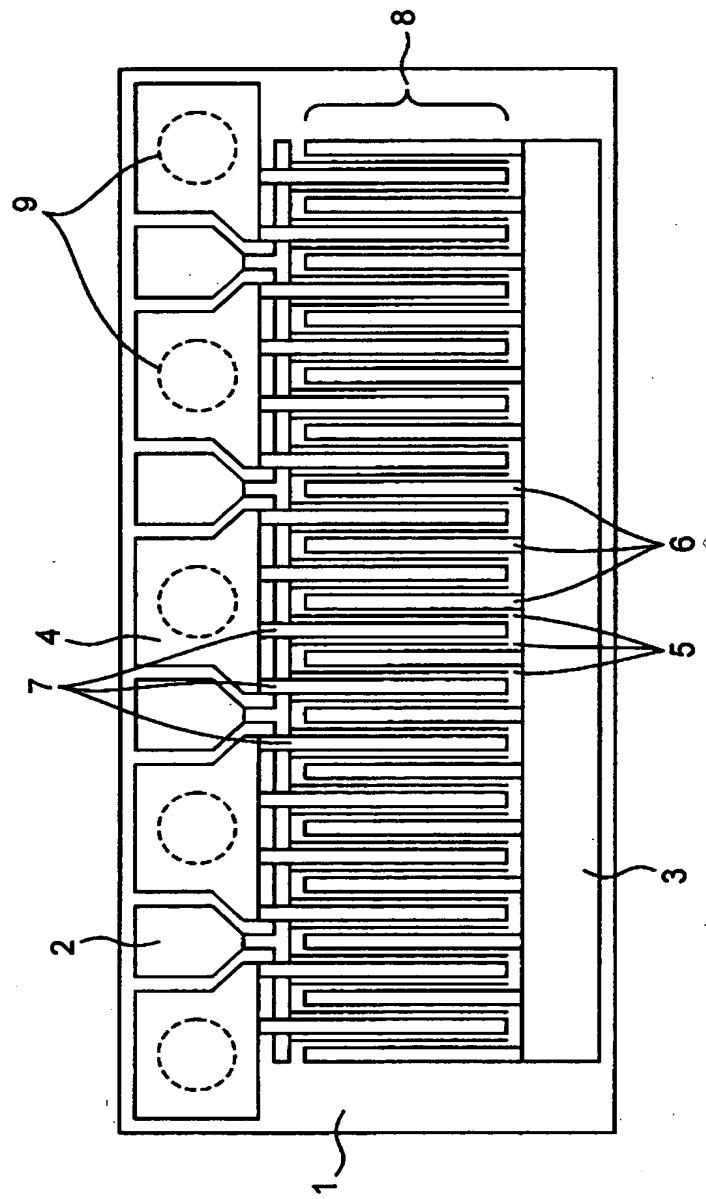
【図12】



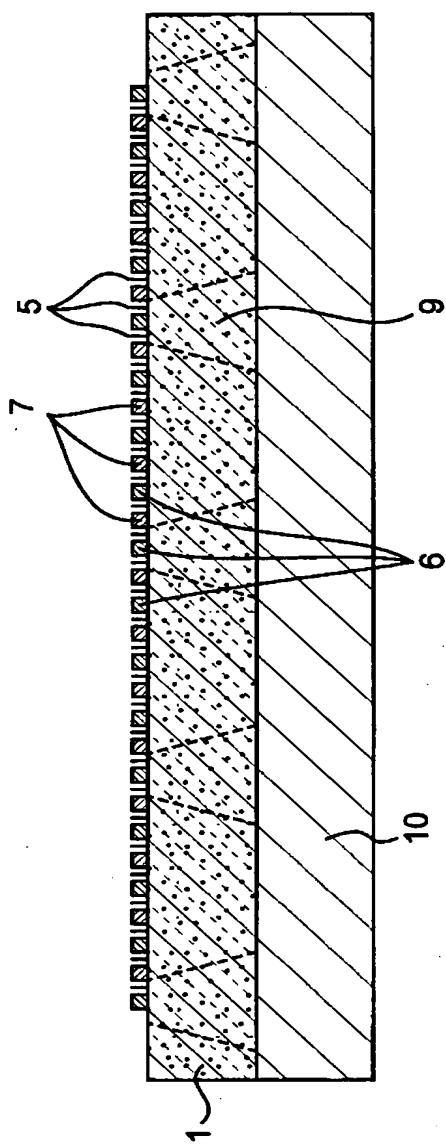
【図13】



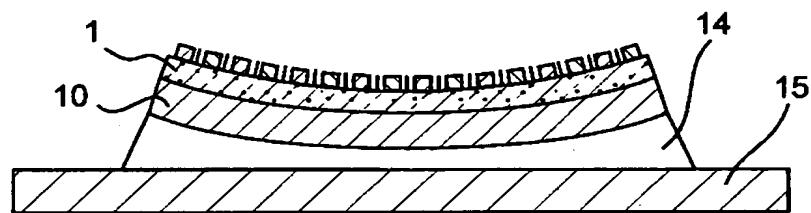
【図14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 構造を簡単化し、製造工程の容易化を実現する半導体装置を提供することにある。また、半導体チップのダイボンド時の反りの発生を抑制する半導体装置を提供する。

【解決手段】 半導体装置は、複数の電極5～7が一の面上に形成された半導体基板1と、ゲート電極5及びドレイン電極6をソース電極7と絶縁するようにゲート電極5及びドレイン電極6上に形成された低誘電率高分子膜11と、低誘電率高分子膜11及びソース電極7上に形成され、接地電位に接続されたチップ表面電極12とを有する。ソース電極7はチップ表面電極12を介して接地電位が与えられる。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住所 東京都千代田区丸の内2丁目2番3号
氏名 三菱電機株式会社